

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2015-80702
(P2015-80702A)

(43) 公開日 平成27年4月27日(2015.4.27)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04 3 6 2 J	4 C 1 6 1
H O 4 N 7/18 (2006.01)	A 6 1 B 1/04 3 7 2	5 C 0 5 4
	H O 4 N 7/18 M	

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号	特願2013-221541 (P2013-221541)	(71) 出願人	000113263
(22) 出願日	平成25年10月24日 (2013.10.24)		H O Y A 株式会社
			東京都新宿区中落合2丁目7番5号
		(74) 代理人	100090169
			弁理士 松浦 孝
		(74) 代理人	100124497
			弁理士 小倉 洋樹
		(74) 代理人	100147762
			弁理士 藤 拓也
		(72) 発明者	小林 徹至
			東京都新宿区中落合2丁目7番5号 H O
			Y A 株式会社内
		Fターム(参考)	4C161 CC06 JJ19 LL02 NN01 NN03
			SS11 UU09
			5C054 DA08 EB01 EB05 HA12

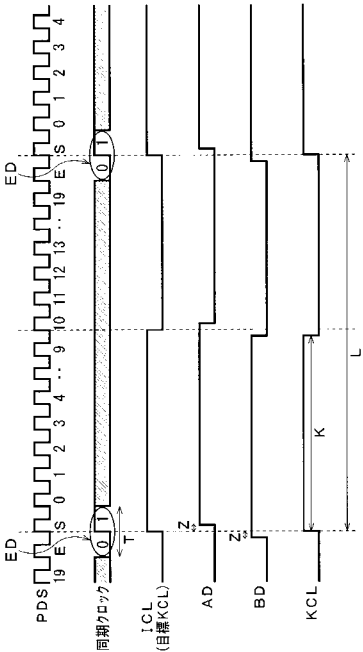
(54) 【発明の名称】 内視鏡装置

(57) 【要約】

【課題】内視鏡装置において、簡易な構成で同期ずれなく画素データを高速シリアル伝送する。

【解決手段】ビデオスコープ先端部に設けられた送信部において、シリアル画素データに対し所定間隔で同期クロックE Dを埋め込み、シリアルデータP D Sをプロセッサ側へ送信する。さらに、クロック信号に対応したシリアルデータを初期設定として送信し、受信部においてそのデータから同期用クロック信号を生成する。さらに、シリアル画素データブロックそれぞれにおいて、1 2ビットの画素データをビット列中央部の位置にする一方、同期信号を同期クロックE Dの隣、あるいはその傍に配置するデータ配列順に変換する。

【選択図】 図 6



【特許請求の範囲】**【請求項 1】**

スコープ先端部に設けられた撮像素子と、

スコープ先端部に設けられ、前記撮像素子から読み出される画素信号をデジタルシリアル化した画素データに対し、所定データ幅間隔で同期クロックを埋め込み、ビット列から成るシリアルデータを出力する送信部と、

スコープ基端側もしくは内視鏡プロセッサに設けられ、同期クロックに基づき位相をロックし、受信したシリアルデータの中からシリアル画素データを抽出する受信部とを備え、

前記送信部が、シリアルデータのデータ配列順を変換することによって、相対的に時系列的変化の大きい画素データを同期クロック埋め込み位置から離れた位置に配置し、

前記受信部が、受信したシリアルデータのデータ配列順を、変換前のデータ配列順に戻すことを特徴とする内視鏡装置。

【請求項 2】

前記送信部が、相対的に時系列的変化の少ないビットデータを、同期クロック埋め込み位置の隣もしくはその付近に配置することを特徴とする請求項 1 に記載の内視鏡装置。

【請求項 3】

前記送信部が、同期データを、同期クロック埋め込み位置の隣もしくはその付近に配置することを特徴とする請求項 1 乃至 2 のいずれかに記載の内視鏡装置。

【請求項 4】

前記送信部が、時系列的データ変化の大きい画素データを、ビット列中央部に配置することを特徴とする請求項 1 乃至 3 のいずれかに記載の内視鏡装置。

【請求項 5】

前記送信部が、画素データ列の少なくとも一部を反転させる反転処理を実行することを特徴とする請求項 1 乃至 4 のいずれかに記載の内視鏡装置。

【請求項 6】

スコープ先端部に設けられた撮像素子と、

スコープ先端部に設けられ、前記撮像素子から読み出される画素信号をデジタルシリアル化した画素データに対し、所定データ幅間隔で同期クロックを埋め込み、ビット列から成るシリアルデータを出力する送信部と、

スコープ基端側もしくは内視鏡プロセッサに設けられ、同期クロックに基づき位相をロックし、受信したシリアルデータの中からシリアル画素データを抽出する受信部とを備え、

前記送信部が、シリアルデータのデータ配列順を変換することによって、相対的に時系列的変化の大きい画素データを同期クロック埋め込み位置から離れた位置に配置し、

前記受信部が、受信したシリアルデータのデータ配列順を、変換前のデータ配列順に戻すことを特徴とするビデオスコープ。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、スコープ（内視鏡）によって器官内壁などの被写体を観察、処置等する内視鏡装置に関し、特に、スコープ先端部に設けられた撮像素子から読み出される画素信号のシリアル伝送に関する。

【背景技術】**【0002】**

電子内視鏡装置においては、撮像素子がビデオスコープ先端部に設けられており、撮像素子から読み出されたアナログ画像信号は、ビデオスコープ内部に配線された信号線によってスコープ基端側／プロセッサ側へ伝送される。そして、スコープコネクタ部あるいはプロセッサ内部に設けられた画像処理回路においてデジタル化され、画像信号が生成される。

10

20

30

40

50

【 0 0 0 3 】

C C Dを使用する場合、アナログ画素信号をスコープ先端部からプロセッサ側へ伝送する。このとき、信号線が比較的長いためにノイズが生じ、観察画像の画質を低下させる。一方、C M O Sを使用する場合、撮像チップとして構成されるため、スコープ先端部において画素信号をデジタル化し、パラレル/シリアル変換してからシリアル画素データをプロセッサ側へシリアル伝送することが可能である。

【 0 0 0 4 】

シリアル伝送としては、8 b / 1 0 b と呼ばれるシリアル伝送方式が一般的に採用される（特許文献 1 参照）。具体的には、8 b / 1 0 b のデータ変換表に基づき、撮像素子から読み出されるパラレル 8 ビットの画素データに対してクロックを埋め込み、ランレングスの短い 1 0 ビットデータに変換する。そして、パラレル/シリアル変換部によってパラレルデータをシリアルデータに変換し、プロセッサ側へ伝送する。

10

【 0 0 0 5 】

スコープのコネクタ部もしくはプロセッサ内に設けられる受信回路では、送られてきたシリアル信号の位相を検出してクロック信号を発生させる。8 b / 1 0 b 伝送方式では、埋め込んだクロックを 1 0 ビットデータから自動的に抽出可能なデータ配列になっており、新たに抽出したクロック信号によって画素データをリタイミングする。

【 0 0 0 6 】

これにより、1 G H z レベルで高速シリアル伝送した場合に生じる画素データ伝送周波数とクロック信号との同期ずれを解消し、プロセッサ側のクロックと同期する画素データを生成することができる。その後、シリアル/パラレル変換部によってシリアルデータをパラレルデータに変換し、同じ 8 b / 1 0 b 変換表に基づいて 8 ビットの画素データを復元する。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 0 9 - 2 0 1 5 4 0 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

8 b / 1 0 b 伝送方式のような高速シリアル伝送方式の場合、送信側、受信側にデータ量の大きい変換テーブルをメモリ等に格納し、データ変換処理回路を設ける必要がある。このような専用回路をスコープ先端部に設けることは、スコープ先端部をできる限り細径化することへの障害となる。また、変換処理回路を撮像素子傍に設けることで、画素信号を撮像素子から読み出すとき、ノイズを発生させる恐れがある。

30

【 0 0 0 9 】

一方、受信部側において P L L 回路を設け、埋め込まれたクロックに基づいて転送シリアルデータの位相をロックし、画素データを抽出する構成を考えた場合、画素データの影響によって埋め込まれたクロックに符号間干渉（I S I）が生じると、位相ロックが外れる恐れがある。

40

【 0 0 1 0 】

したがって、位相ロックによって同期をとる簡易な回路構成において、画素データをスコープ先端部からプロセッサ側へ同期ずれなく高速シリアル伝送することが求められる。

【 課題を解決するための手段 】

【 0 0 1 1 】

本発明の内視鏡装置はスコープ先端部に設けられた撮像素子と、スコープ先端部に設けられ、撮像素子から読み出される画素信号をデジタルシリアル化した画素データに対し、所定データ幅間隔で同期クロックを埋め込み、ビット列から成るシリアルデータを出力する送信部と、スコープ基端側もしくは内視鏡プロセッサに設けられ、同期クロックに基づき位相をロックし、受信したシリアルデータの中からシリアル画素データを抽出する受信

50

部とを備える。

【0012】

送信部は、同期クロックと同じ周波数でエッジ部分が現れるシリアルデータのイニシャルクロックデータを出力可能である。受信部は、受信したイニシャルクロックデータによって位相をロックするPLL回路を有する。そして、受信部は、位相ロック後に送られてくるシリアルデータに基づいて帰還抽出クロックを生成し、PLL回路に入力する帰還抽出クロックに従ってシリアル画素データを抽出する。あるいは、同期用クロックを併走させ、それに基づいてPLL回路の位相をロックし、同期ずれをなくすようにしてもよい。

【0013】

本発明では、送信部が、シリアルデータのデータ配列順を変換することによって、相対的に時系列的変化の大きい画素データを同期クロック埋め込み位置から離れた位置に配置する。ここでの「離れた位置」は、同期クロックの隣あるいは隣付近の位置を示す。受信部は、受信したシリアルデータのデータ配列順を、変換前のデータ配列順に戻す。

10

【0014】

送信部は、相対的に時系列的変化の少ないビットデータを、同期クロック埋め込み位置の隣もしくはその付近に配置することが可能である。例えば、送信部は、垂直同期信号などの同期データを、同期クロック埋め込み位置の隣もしくはその付近に配置する。

【0015】

また、送信部は、時系列的データ変化の大きい画素データを、ビット列中央部に配置するようにしてもよい。例えば、送信部は、画素データ列の少なくとも一部を反転させる反転処理を実行する。

20

【0016】

本発明の他の態様におけるビデオスコープは、スコープ先端部に設けられた撮像素子と、スコープ先端部に設けられ、撮像素子から読み出される画素信号をデジタルシリアル化した画素データに対し、所定データ幅間隔で同期クロックを埋め込み、ビット列から成るシリアルデータを出力する送信部と、スコープ基端側もしくは内視鏡プロセッサに設けられ、同期クロックに基づき位相をロックし、受信したシリアルデータの中からシリアル画素データを抽出する受信部とを備え、送信部が、シリアルデータのデータ配列順を変換することによって、相対的に時系列的変化の大きい画素データを同期クロック埋め込み位置から離れた位置に配置し、受信部が、受信したシリアルデータのデータ配列順を、変換前のデータ配列順に戻す。

30

【発明の効果】

【0017】

このように本発明によれば、内視鏡装置において、簡易な構成で、同期ずれなく画素データを高速シリアル伝送することができる。

【図面の簡単な説明】

【0018】

【図1】第1の実施形態である電子内視鏡装置のブロック図である。

【図2】送信部を含む撮像ユニットおよび受信部の詳細なブロック図である。

【図3】送信部の論理回路図である。

40

【図4】受信部に設けられた論理回路図である。

【図5】送信部におけるシリアルデータの配列順の変換を示した図である。

【図6】シリアルデータおよび帰還抽出クロックのタイミングチャートである。

【図7】受信側における同期調整処理のフローチャートである。

【図8】送信側におけるイニシャルクロックデータ送信処理のフローチャートである。

【図9】第2の実施形態におけるシリアルデータの配列変換を示した図である。

【発明を実施するための形態】

【0019】

以下では、図面を参照して本実施形態である電子内視鏡装置について説明する。

【0020】

50

図 1 は、第 1 の実施形態である電子内視鏡装置のブロック図である。

【 0 0 2 1 】

電子内視鏡装置は、その挿入部分が体内へ挿入されるビデオスコープ 1 0 と、プロセッサ 3 0 とを備え、ビデオスコープ 1 0 はプロセッサ 3 0 に着脱自在に接続される。プロセッサ 3 0 には、モニタ 8 0 が接続されている。

【 0 0 2 2 】

プロセッサ 3 0 は、放電ランプなどで構成される光源装置 3 4 を備える。光源装置 3 4 から出力される照明光は、集光レンズ（図示せず）を介して、ビデオスコープ 1 0 内に設けられたライトガイド 1 1 に入射する。ライトガイド 1 1 に入射した光は、ライトガイド 1 1 内部を通してスコープ先端部 1 0 T から射出し、配光レンズ 1 4 A を介して被写体（観察対象）に照射される。

10

【 0 0 2 3 】

被写体で反射した照明光は、スコープ先端部に設けられた、カバーガラス 1 4 B、対物レンズ 1 3 を通り、これによって、対物レンズ 1 3 後方に位置する撮像ユニット 1 2 内に設けられたイメージセンサ 5 2 の受光面に被写体像が形成される。

【 0 0 2 4 】

イメージセンサ 5 2 は、例えば X - Y アドレス型撮像素子であり、ここでは C M O S センサによって構成される。イメージセンサ 5 2 において生じる 1 フィールド / フレーム分の画像信号は、撮像素子駆動回路 1 9 によって所定の読み出し時間間隔（例えば、1 / 60 秒もしくは 1 / 30 秒間隔）で読み出される。イメージセンサ 5 2 には、C y、Y e、G、M g あるいは R、G、B から成る色要素をモザイク配列させた色フィルタが配設されており、カラー撮像方式として同時単板式が適用されている。

20

【 0 0 2 5 】

イメージセンサ 5 2 から読み出された画素信号は、デジタル化、シリアル化された後、ビデオスコープ 1 0 の基端側（プロセッサ接続側）に設けられたコネクタ部 1 0 C へ送信部 2 0 によって送信される。コネクタ部 1 0 C は、スコープコントローラ 1 5、受信部 1 6、画像処理回路 1 7、タイミングジェネレータ 1 8、撮像素子駆動回路 1 9 を備える。C P U、R A M、R O M（いずれも不図示）などを含むスコープコントローラ 1 5 は、撮像ユニット 1 2、タイミングジェネレータ 1 8 などへ制御信号を送信し、スコープ動作全体を制御する。スコープ動作制御プログラムは、R O M に格納されている。

30

【 0 0 2 6 】

画像処理回路 1 7 では、送られてきたデジタル画素信号に対してホワイトバランス処理、ガンマ補正処理などの信号処理が施される。これにより、カラーデジタル画像信号が生成される。カラーデジタル画像信号は、プロセッサ 3 0 の後段処理回路 3 2 へ送られる。

【 0 0 2 7 】

後段処理回路 3 2 では、輪郭強調などの画像処理が施される。後段処理回路 3 2 から出力された画像信号が映像信号としてモニタ 8 0 に出力されることにより、観察画像が動画としてモニタ 8 0 に表示される。

【 0 0 2 8 】

C P U、R O M、R A M（いずれも不図示）などを含むシステムコントロール回路 4 0 は、光源装置 3 4 などへ制御信号を出力し、プロセッサ 3 0 全体の動作を制御する。プロセッサ制御に関するプログラムは、R O M にあらかじめ格納されている。また、システムコントロール回路 4 0 は、スコープコントローラ 1 5 との間で相互通信可能である。

40

【 0 0 2 9 】

次に、図 2 ~ 4 を用いて、ビデオスコープの先端側に設けられた送信部、およびプロセッサ側に設けられた受信部の構成を説明する。

【 0 0 3 0 】

図 2 は、送信部を含めた撮像ユニットおよび受信部の詳細なブロック図である。図 3 は、送信部の論理回路図である。図 4 は、受信部に設けられた論理回路の回路図である。

【 0 0 3 1 】

50

撮像ユニット 12 は、PLL 回路 51、CMOS 型のイメージセンサ 52、A/D 変換器 53、同期信号付加回路 56、パラレル/シリアル変換器 54、配列変換回路 58、送信部 20 を備え、1 つのデバイスとして構成される。PLL 回路 51 は、位相検出器、LPF、VOC、分周器を備えており、所定の周波数でクロック信号を出力可能である。受信部 16 に設けられた PLL 回路 68 から出力される基準クロック信号に基づき、所定の周波数のクロック信号を撮像ユニット 12 内の回路へ出力する。

【0032】

イメージセンサ 52 から読み出された 1 フィールド/フレーム分のアナログ画素信号は、A/D 変換器 53 によって 12 ビットのデジタルパラレル画素信号に変換される。デジタルパラレル信号は、パラレル/シリアル変換器 54 によってデジタルシリアル信号に変換される。パラレル/シリアル変換は、ここでは周波数 600 MHz で行われる。

10

【0033】

同期信号付加回路 56 では、デジタルパラレル画素信号に対し、水平同期信号、水平同期信号など画素信号以外の信号（ビットデータ）が付加される。これにより、20 ビットのデジタルシリアル信号（以下、シリアル画素データブロックという）が順次生成される。配列変換回路 58 では、後述するように、20 ビット列から成るシリアル画素データブロックのデータ配列を調整、変換し、ビットデータの配列順を入れ替える。

【0034】

図 3 に示すように、送信部 20 は、カウンタ 22、エッジ出力部 23、セクタ 24、フリップフロップ 26、バッファ回路 28 を備える。送信部 20 では、入力された一連のシリアル画素データブロックの区切りとなるデータ幅間隔（ここでは 20 ビット間隔）で、クロックデータ（以下、同期クロックという）ED が埋め込まれる。

20

【0035】

同期クロック ED は、エッジを形成するデータ「01」によって構成されるデータであり、同期クロック ED によってシリアル画素データブロックが 20 ビットずつ区分され、ワード境界が規定される。同期クロック ED の埋め込みは、カウンタ 22 によるデータ数のカウントおよびセクタ 24 による出力選択動作によって行われる。

【0036】

具体的に説明すると、伝送されるビットデータを 20 個分カウントする度に、エッジ出力部 23 から出力される同期クロック ED のデータ「01」を挿入し、エンベディットクロックのシリアルデータ PDS を生成する。シリアルデータ PDS は、高速の伝送レート（600 Mbps）によって、コネクタ部 10C に設けられた受信部 16 へ伝送される。さらに、初期設定時においては、後述するイニシャルクロックデータ ICL が受信部 16 へ伝送される。

30

【0037】

受信部 16 は、PLL 回路 120、論理回路 122、セクタ 124、コントローラ 130 を備える。PLL 回路 120 は、撮像ユニット 12 から送られてくるイニシャルクロックデータ ICL に応じて位相をロックし、周波数 30 MHz、600 MHz のクロック信号をコントローラ 130 へ出力する。

【0038】

さらに PLL 回路 120 は、位相をわずかにシフトさせたクロックデータ対である位相シフトクロックデータ AD、BD を論理回路 122 へ出力する。図 4 に示すように、論理回路 122 は、AND 回路 32、34 と、OR 回路 36 から構成される。

40

【0039】

コントローラ 130 は、抽出クロックの検知（ラッチ）、同期ずれの検知および同期ずれの修正、シリアル画素データの抽出、元のデータ配列順の復元、およびシリアル/パラレル変換機能を備えている。PLL 回路 120 を経由してコントローラ 130 に入力したシリアルデータ PDS は、PLL 回路 120 から出力される周波数 30 MHz、600 MHz のクロック信号によって埋め込まれた同期クロック ED のデータを検出し、シリアル画素データブロックを分離、抽出する。

50

【 0 0 4 0 】

具体的に説明すると、ラッチ処理においては、位相ロック後のPLL回路120から出力される周波数30MHzのクロック信号（以下、抽出クロックという）SCLに従い、シリアルデータPDSの中から2ビットの隣接するデータを定期的に保持する。

【 0 0 4 1 】

同期ずれ検出に関しては、保持されたデータが埋め込んだ同期クロックEDのデータ配列「01」に相当するか否かを判断する。同期クロックEDを繰り返しラッチしている場合、PLL回路120から出力される抽出クロックSCLとシリアルデータPDSに埋め込まれた同期クロックEDとの間に同期ずれがないと判断する。一方、同期ずれがあると判断した場合、PLL回路120へ抽出クロックSCLの位相を、ずれに応じたシフト量だけシフトさせる制御信号を出力する。

10

【 0 0 4 2 】

このようなフィードバック制御により、同期クロックEDと抽出クロックSCLの位相が一致する。コントローラ130は、PLL回路120が位相ロックした状態において、抽出クロックSCLに従い、シリアルデータPDSの中から同期クロックEDを境界とするシリアル画素データブロックを順次取り出す。コントローラ130では、送信部20において変換されたデータ配列順が元の配列順に復元される。元の配列順となったシリアル画素データブロックは、パラレルデータに変換される。

【 0 0 4 3 】

図5は、シリアル画素データブロックにおけるデータ配列変換処理を示した図である。

20

【 0 0 4 4 】

20ビット列から成るシリアル画素データブロックは、12ビットデータのシリアル画素データと、VD、HD、FLDといった同期信号などそれ以外のビットデータから構成される。ここでは、「0」～「19」によってデータの配列順（左～右）を表している。

【 0 0 4 5 】

シリアル画素データの配列順はフォーマットに従う。ここでは、最下位ビットLSBに近づくほど画素データ値の時系列的変化が大きい配列順フォーマットになっている。配列変換前のシリアル画素データブロックにおいては、最下位ビットLSBが同期クロックEDと隣接し、最上位ビットMSBより右側の「16～19」番目のビット位置には、垂直同期信号、水平同期信号、フィールド信号といったクロック用ビットデータなどが埋め込まれている。

30

【 0 0 4 6 】

撮像ユニット12の配列変換回路58では、このデータ配列順が変更される。具体的には、12ビット列のシリアル画素データはブロック中央部に配置され、埋め込み同期クロックEDの隣あるいはその付近に配置されないように、配列順が変更されている。代わりに、同期信号などの他の信号が埋め込み同期クロックEDの傍に配置される。

【 0 0 4 7 】

特に、埋め込み同期クロックEDに隣接する位置には、時系列的変化が少なく安定した垂直同期信号VD、フィールド信号FLDが配置される。受信部16のコントローラ130では、変換されたデータ配列を元に戻す処理が実行される。

40

【 0 0 4 8 】

次に、図6～8を用いて、位相クロック、同期ずれ検出およびシリアル画素データブロックの抽出処理について説明する。

【 0 0 4 9 】

図6は、送信部20から送信されるシリアルデータPDSおよびイニシャルクロックデータICLと、論理回路によって生成されるクロック（以下では、帰還抽出クロックKCLという）を示した図である。

【 0 0 5 0 】

イニシャルクロックデータICLは、20ビットごとに「0」のデータ列と「1」のデータ列が交互に入れ替わり、同期クロックEDの位置に応じてエッジ部分が形成されるシ

50

リアルデータであり、送信されるシリアルデータ P D S と同じ周波数をもつ。

【 0 0 5 1 】

P L L 回路 1 2 0 は、イニシャルクロックデータ I C L が入力されると位相をロックし、上述したように、位相ロック後には、イニシャルクロックデータ I C L の位相をわずかにずらした 1 組の位相シフトクロックデータ A D、B D を論理回路 1 2 2 へ出力する。

【 0 0 5 2 】

1 組の位相シフトクロックデータ A D、B D は、イニシャルクロックデータ I C L を正負反対方向に同じシフト量 Z だけ位相シフトさせたデータであり、シフト量 Z は、同期クロック E D を埋め込むタイミング T 内に収まっている。

【 0 0 5 3 】

1 組の位相シフトクロックデータ A D、B D は、イニシャルクロックデータ I C L に対応するクロックデータを論理回路 1 2 2 によって生成するために作り出されるシリアルデータである。これを P L L 回路 1 2 0 へ入力させることにより、P L L 回路 1 2 0 は、このデータを下にして位相をロックし、所定の周波数のクロック信号を出力することができる。

【 0 0 5 4 】

P L L 回路 1 2 0 へ入力される帰還抽出クロック K C L の入力デューティ比は、4 0 ~ 6 0 パーセントの範囲（ここでは、およそ 5 0 パーセント）に収まるように規定されている。これは、水晶などによって基準クロック信号を発生させるときの規格、仕様に従ったものである。P L L 回路 1 2 0 は、自ら出力した位相シフトクロックデータ A D、B D を出力し、論理回路 1 2 2 によって、P L L 回路 1 2 0 へ入力すべきクロック信号が生成される。

【 0 0 5 5 】

図 7 は、受信側における同期調整処理のフローチャートである。図 8 は、送信側におけるイニシャルクロックデータ送信処理のフローチャートである。

【 0 0 5 6 】

まず、シリアルデータ P D S を送信する前段階において、イニシャルクロックデータを送信部から送信する。撮像ユニット 1 2 は、イニシャルクロックデータ I C L の送信要求があると、イニシャルクロックデータ I C L をトレーニングパターン（初期パターンデータ）として送信する（図 8 の S 2 0 1、S 2 0 2）。

【 0 0 5 7 】

受信側では、セクタ 1 2 4 の切り替えによってイニシャルクロックデータ I C L が P L L 回路 1 2 0 に入力し（S 1 0 1）、P L L 回路 1 2 0 において位相がロックする（図 7 の S 1 0 2、S 1 0 3）。P L L 回路 1 2 0 が位相ロックすると、シリアルデータ伝送を送信部 2 0 へ要求する（S 1 0 4）。これによって、同期クロック E D が埋め込まれたシリアルデータ P D S が受信部 1 6 へ送信される（図 8 の S 2 0 3）。

【 0 0 5 8 】

また、受信部 1 6 では、シリアルデータ送信要求とともに、セクタ 1 2 4 を切り替える。それとともに、P L L 回路 1 2 0 は、位相ロック後に位相シフトした位相シフトクロックデータ A D、B D を論理回路 1 2 2 へ出力する（S 1 0 4、S 1 0 5）。これにより、帰還抽出クロック K C L によってシリアルデータの中から画素データが抽出される。

【 0 0 5 9 】

コントローラ 1 3 0 は、帰還抽出クロック K C L に従ってラッチするデータが同期クロック E D のデータ「0 1」であるか判断し、定期的に同期クロック E D が続けてラッチされない場合、再度、イニシャルクロックデータ I C L を送信するように要求する（S 1 0 6、S 1 0 1）。これによって、再び P L L 回路 1 2 0 がイニシャルクロックデータ I C L に基づいて位相ロックする。シリアルデータ転送中、P L L 回路 1 2 0 は、帰還抽出クロック K C L に従って位相をロックし続ける。

【 0 0 6 0 】

このように本実施形態によれば、ビデオスコープ先端部に設けられた送信部 2 0 におい

10

20

30

40

50

て、シリアル画素データに対し所定間隔で同期クロックE Dを埋め込み、シリアルデータP D Sをプロセッサ側へ送信する。さらに、クロック信号に対応したシリアルデータ(トレーニングパターン)を初期設定として送信し、受信部においてそのデータから同期用クロック信号を生成する。

【0061】

受信部16では、PLL回路120がイニシャルクロックデータICLによって位相をロックし、位相シフトクロックデータAD、BDを出力する。そして、論理回路122によって、PLL回路120へ自己帰還させる帰還抽出クロックKCLを生成し、シリアルデータ転送中の間、帰還抽出クロックKCLによってPLL回路120が位相ロックし続ける。コントローラ130は、同期クロックE Dを正確にラッチしているか確認し、同期ずれが生じている場合、再びイニシャルクロックデータICLを送信させ、再度位相を調整する。

10

【0062】

8b/10b伝送方式のような変換テーブルを用いることなく、埋め込んだ同期クロックを正確に検知し、シリアル画素データを取り出すことができる。特に、スコープ先端部における回路構成としてはデータ量の大きな変換テーブルを有するメモリ等を格納する必要がないため、スコープ先端部の回路構成が簡素化できる。

【0063】

さらに本実施形態では、シリアル画素データブロックそれぞれにおいて、12ビットの画素データをビット列中央部の位置に、同期信号(クロック用ビットデータ)が同期クロックE Dの隣、あるいはその傍に配置するデータ配列順に変換する処理が実行される。

20

【0064】

同期クロックE Dの隣接位置、あるいは隣接していなくても同期クロックE D付近に時系列変化の大きいビットデータが配置されると、符号間干渉(ISI)が生じやすい。そのため、同期クロックE Dがずれ、PLL回路による位相ロックが外れる恐れがある。

【0065】

しかしながら、12ビットの画素データの中で時系列変化の大きい0番目のLSB画素データを同期クロックE Dから離れた位置に配置することにより、符号間干渉(ISI)が生じるのを防ぐことができる。そして、時系列的変化の少ない同期データを隣接位置に配置するため、符号間干渉(ISI)を十分に抑制することができる。

30

【0066】

次に、図9を用いて、第2の実施形態について説明する。第2の実施形態では、20ビット列の画素データに対し反転処理を施し、配列順を入れ替える。

【0067】

図9は、第2の実施形態におけるシリアル画素データブロックのデータ配列順の変換を示した図である。

【0068】

第2の実施形態では、シリアル画素データブロック全体が画素データによって構成される。そして、0~19の順番で並ぶ画素データは、配列変換回路における反転処理によって20ビット列中央位置から両端の同期クロックE Dに向けて交互に振り分けられるように変換される(図9(A)参照)。あるいは、20ビット列中央位置から0~9番の画素データが反転した並びに変換される(図9(B)参照)。受信部のコントローラでは、変換されたデータ順を元に戻す。

40

【0069】

このように画素データのみから構成される場合、時系列変化の大きいLSBの画素データをビット列中央部に配置し、同期クロックE Dから離すことにより、符号間干渉(ISI)を抑制することができる。

【0070】

LSB側に時系列変化の大きい画素データが配置されないデータフォーマットの場合、フォーマットに合わせて画素データの配列順を調整すればよい。また、第1の実施形態に

50

においても、同様に画素データ列に対し反転処理を実行することも可能である。相対的に時系列的データ変化の大きいビットデータを同期クロックの隣あるいはその付近から離すように構成すればよい。

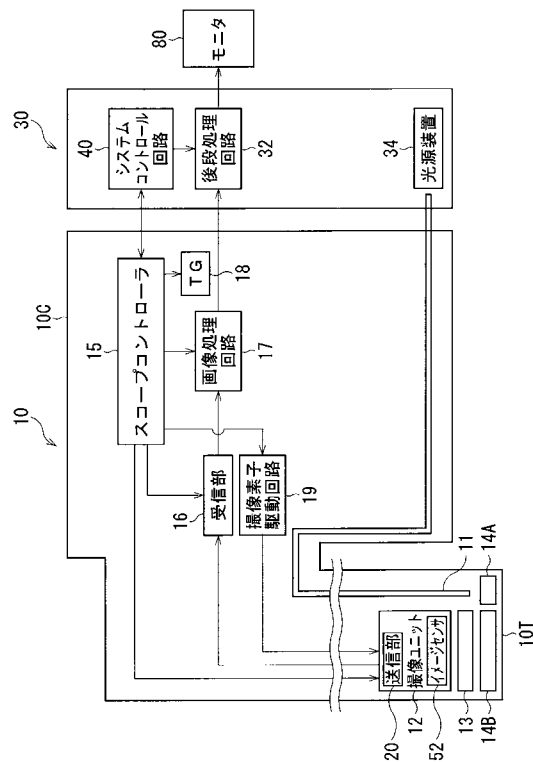
【符号の説明】

【0071】

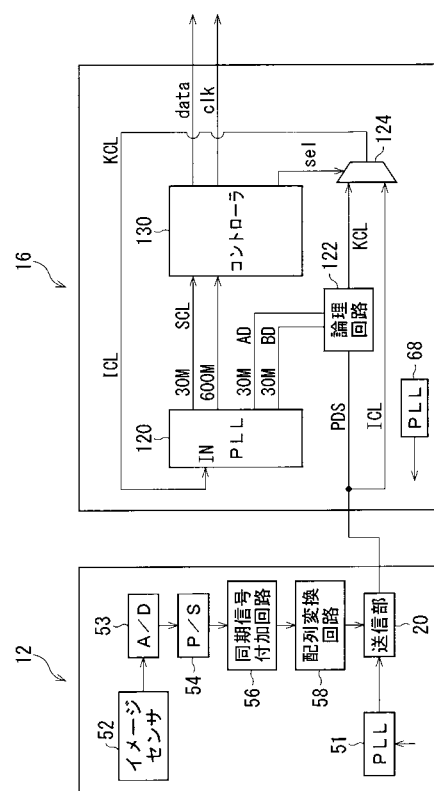
- 10 ビデオ스코プ
- 12 撮像ユニット
- 16 受信部
- 20 送信部
- 30 プロセッサ
- 58 配列変換回路
- ED 同期クロック
- PDS シリアルデータ
- KCL 帰還抽出クロック
- SCL 抽出クロック
- ICL イニシャルクロックデータ

10

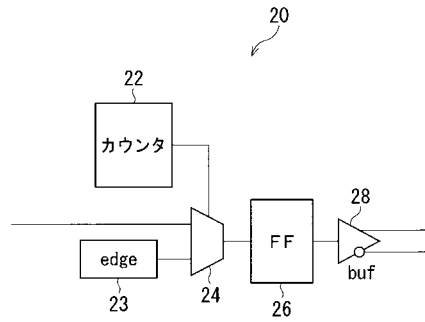
【図1】



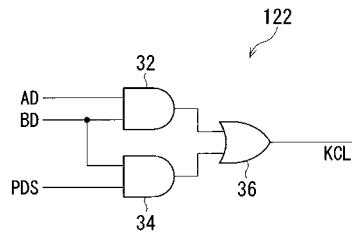
【図2】



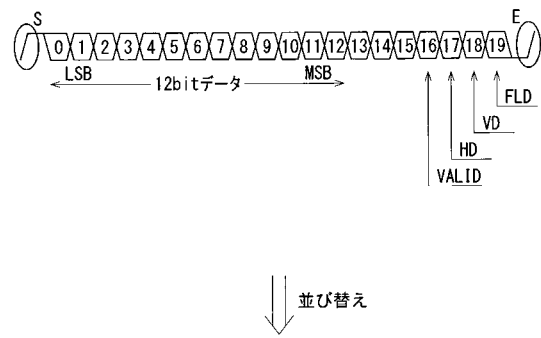
【図 3】



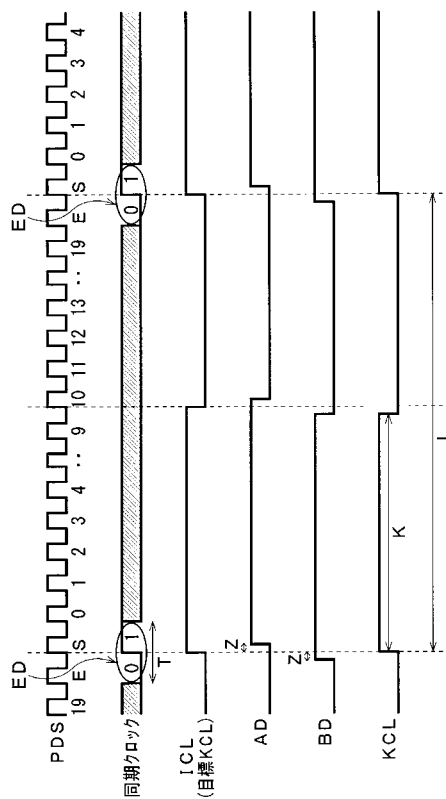
【図 4】



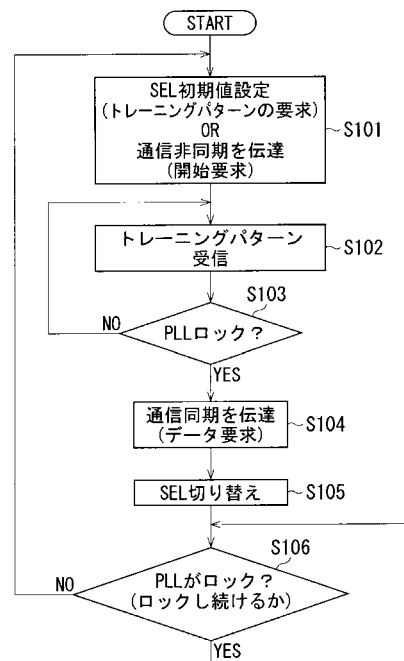
【図 5】



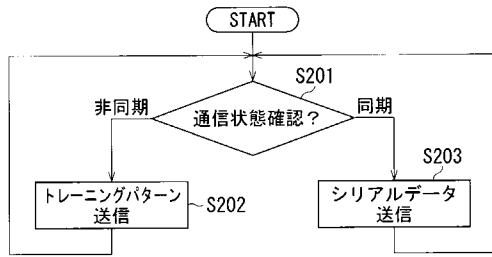
【図 6】



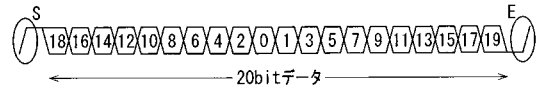
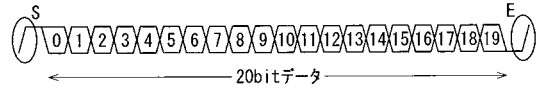
【図 7】



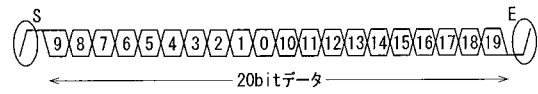
【図 8】



【図 9】



(A)



(B)

专利名称(译)	内视镜装置		
公开(公告)号	JP2015080702A	公开(公告)日	2015-04-27
申请号	JP2013221541	申请日	2013-10-24
[标]申请(专利权)人(译)	保谷股份有限公司		
申请(专利权)人(译)	HOYA株式会社		
[标]发明人	小林 徹至		
发明人	小林 徹至		
IPC分类号	A61B1/04 H04N7/18		
FI分类号	A61B1/04.362.J A61B1/04.372 H04N7/18.M A61B1/00.680 A61B1/05		
F-TERM分类号	4C161/CC06 4C161/JJ19 4C161/LL02 4C161/NN01 4C161/NN03 4C161/SS11 4C161/UU09 5C054/DA08 5C054/EB01 5C054/EB05 5C054/HA12		
代理人(译)	松浦 孝		
外部链接	Espacenet		

摘要(译)

解决的问题：以简单的配置在没有同步偏差的情况下在内窥镜设备中提供像素数据的高速串行传输。设在内窥镜前端的发送单元以预定间隔将同步时钟ED嵌入串行像素数据中，并将串行数据PDS发送至处理器侧。此外，与时钟信号相对应的串行数据作为初始设置被发送，并且接收单元从该数据生成同步时钟信号。此外，在每个串行像素数据块中，在位串的中心位置设置12位像素数据，同时按照布置在同步时钟ED附近或附近的数据阵列顺序转换同步信号。[选择图]图6

